

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

This Page Blank (uspto)

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 08136621
PUBLICATION DATE : 31-05-96

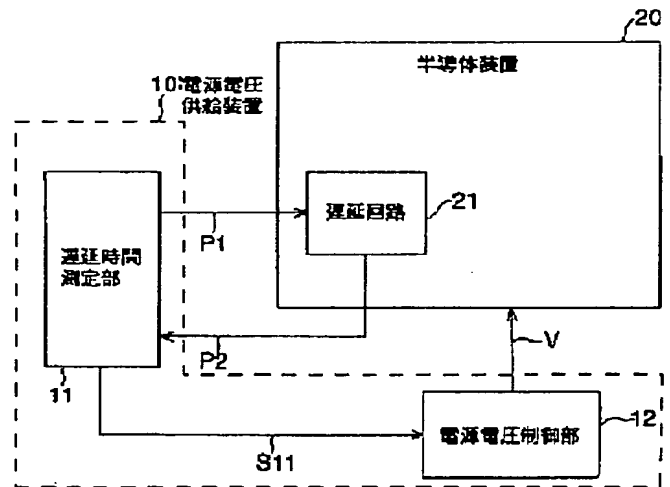
APPLICATION DATE : 11-11-94
APPLICATION NUMBER : 06277271

APPLICANT : OKI ELECTRIC IND CO LTD;

INVENTOR : ONISHI SHINICHI;

INT.CL. : G01R 31/28 H01L 21/66 H01L 27/04
H01L 21/822

TITLE : POWER-SUPPLY VOLTAGE
SUPPLYING DEVICE



ABSTRACT : PURPOSE: To supply the power-supply voltage corresponding to the delay time to a semiconductor device.

CONSTITUTION: A delay time measuring section 11 in a power supply voltage supplying device 10 sends a pulse P1 to a delay circuit 21 provided in a semiconductor device 20 and finds the estimated value of the delay time of the device 20 from the pulse P2 which is the response signal of the pulse P1. Then the section 11 compares the estimated value of the delay time with a preset value and sends a voltage control signal S11 which is obtained as a result of the comparison to a voltage control section 12. The section 12 selects the voltage V corresponding to the signal S11 and supplies the voltage V to the semiconductor device 20. The device 20 operates based on the supplied voltage V.

COPYRIGHT: (C)1996,JPO

THIS PAGE BLANK (USPTO)

【特許請求の範囲】

【請求項 1】 半導体装置に電源電圧を供給する電源電圧供給装置において、前記半導体装置の遅延時間を測定する遅延時間測定部と、前記遅延時間の測定結果に基づき前記電源電圧を変化させて前記半導体装置に供給する電源電圧制御部とを、備えたことを特徴とする電源電圧供給装置。

【請求項 2】 前記電源電圧制御部は、前記遅延時間の測定結果が予め設定した設定値よりも大きくなった場合に前記電源電圧を大きくし、前記遅延時間の測定結果が前記設定値よりも小さくなった場合に前記電源電圧を小さくする構成としたことを特徴とする請求項 1 記載の電源電圧供給装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、製造ばらつきで遅延時間がそれぞれ異なる半導体装置等の電源電圧供給装置に関するものである。

【0002】

【従来の技術】 一般的な半導体装置における遅延時間は、供給電源電圧および製造プロセスのばらつきによって異なる。例えば供給電圧を高くすると、信号の立ち上がりまたは立ち下がり急峻となり、遅延時間が小さくなる。逆に、供給電源電圧を低くするほど遅延時間は大きくなる。また、同じ電源電圧を供給した場合でも、製造プロセスによる素子のばらつきにより、遅延時間が大きい半導体装置と遅延時間の小さい半導体装置がある。

【0003】

【発明が解決しようとする課題】 しかしながら、従来の半導体装置を使用する場合、即ち、その半導体装置を使用して所望の装置を構築する場合、次のような課題があった。半導体装置に供給する供給電圧電源を高くしておけば、該半導体装置は常に高速な動作を維持する。しかし、供給電源電圧を高くすると消費電力が増加する問題がある。一方、供給電源電圧を低くすると消費電力を抑制できるが、半導体装置によっては遅延時間が大きくなり、結果として、所望の動作速度が保証できなくなる。また、半導体装置がロジック回路を構成している場合、不当な遅延が発生すると、各部の求める論理結果が不正確となる場合も想定される。

【0004】

【課題を解決するための手段】 第 1 の発明は、前記課題を解決するために、半導体装置に電源電圧を供給する電源電圧供給装置において、前記半導体装置の遅延時間を測定する遅延時間測定部と、前記遅延時間の測定結果に基づき前記電源電圧を変化させて前記半導体装置に供給する電源電圧制御部とを、備えている。第 2 の発明は、第 1 の発明における電源電圧制御部を、前記遅延時間の測定結果が予め設定した設定値よりも大きくなった場合に前記電源電圧を大きくし、前記遅延時間の測定結果が

前記設定値よりも小さくなった場合に前記電源電圧を小さくする構成としている。

【0005】

【作用】 本発明によれば、以上のように電源電圧供給装置を構成したので、半導体装置の遅延時間が遅延時間測定部によって測定される。その測定結果に基づき、半導体装置に供給される電源電圧が電源電圧制御部で変換される。第 2 の発明によれば、第 1 の発明における電源電圧制御部によって、半導体装置における遅延時間が設定値よりも大きかった場合、半導体装置に供給される電源電圧は大きくされる。また、遅延時間が設定値よりも小さかった場合、半導体装置に供給される電源電圧は小さくされる。従って、前記課題は解決されるのである。

【0006】

【実施例】 図 1 は、本発明の実施例を示す電源電圧供給装置の構成ブロック図である。この電源電圧供給装置 10 は半導体装置 20 に接続され、その半導体装置 20 へ電源電圧を供給するものである。電源電圧供給装置 10 は遅延時間測定部 11 と電源電圧制御部 12 とを備え、半導体装置 20 には、遅延測定用の遅延回路 21 が設けられている。遅延時間測定部 11 は半導体装置 20 中の遅延回路 21 に対してパルスの入出力を行う接続とされ、遅延時間測定部 11 の出力側に電源電圧制御部 12 が接続されている。電源電圧制御部 12 の出力する電圧 V が、半導体装置 20 の電源電圧となる構成である。図 2 は、図 1 中の遅延時間測定部を示す構成ブロック図である。例えば、遅延時間測定部 11 は、パルス発生回路 11-1 と、タイマ 11-2 と、比較回路 11-3 と、制御信号発生回路 11-4 とを、備えている。パルス発生回路 11-1 は、遅延時間を測定するためのパルス P1 を遅延回路 21 に送出する機能を有し、パルス P1 の発生タイミング S1 をタイマ 11-2 に知らせる接続となっている。タイマ 11-2 は遅延回路 21 からの応答信号であるパルス P2 を入力し、発生タイミング S1 からパルス P2 を受信するまでの時間を計測するものである。比較回路 11-3 は、予め設定された第 1、第 2 の設定値とタイマ 11-2 の計測結果 S2 とを比較し、その比較結果 S3 を制御信号発生回路 11-4 に与える構成となっている。制御信号発生回路 11-4 は比較結果 S3 に基づき、電圧制御信号 S11 を生成して電源電圧制御部 12 に与える構成となっている。電源電圧制御部 12 は電圧制御信号 S11 に基づき、電源電圧 V を選択して半導体装置 20 に供給する構成となっている。図 3 は、図 1 中の遅延回路 21 の回路図である。遅延回路 21 は、例えば図 2 のように複数のゲート 21a, 21b, … 21n から構成され、入力信号を遅延するための回路である。そのため、パルス発生回路 11-1 からパルス P1 が入力された場合、遅延回路 21 から出力される応答信号であるパルス P2 は、半導体装置 20 の製造ばらつきに応じた遅延を有することになる。

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-136621

(43)公開日 平成8年(1996)5月31日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F 1

技術表示箇所

G 0 1 R 31/28

H 0 1 L 21/66

27/04

Z 7735-4M

G 0 1 R 31/ 28

H

H 0 1 L 27/ 04

B

審査請求 未請求 請求項の数 2 O L (全 4 頁) 最終頁に続く

(21)出願番号 特願平6-277271

(22)出願日 平成6年(1994)11月11日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 大西 伸一

東京都港区虎ノ門1丁目7番12号 沖電気

工業株式会社内

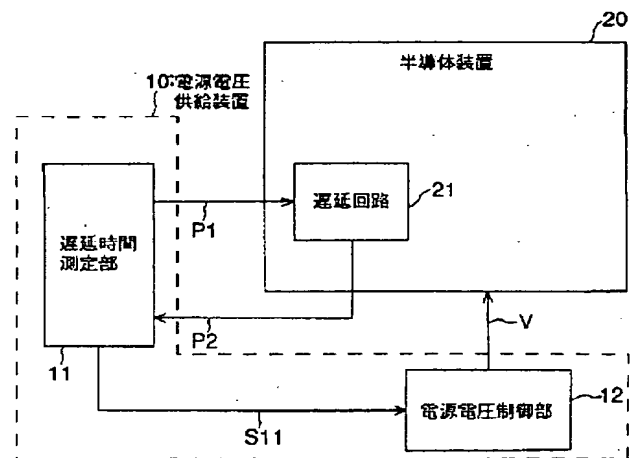
(74)代理人 弁理士 柿本 恭成

(54)【発明の名称】 電源電圧供給装置

(57)【要約】

【目的】 半導体装置における遅延時間に応じた電源電圧を供給する。

【構成】 電源電圧供給装置10内の遅延時間測定部11は、半導体装置20内に設けられた遅延回路21にパルスP1を送り、そのパルスP1の応答信号であるパルスP2から、半導体装置20の遅延時間の推定値を求める。遅延時間測定部11は、さらに、その遅延時間の推定値と予め設定された設定値とを比較して比較結果の電圧制御信号S11を、電源電圧制御部12へ送る。電源電圧制御部12は、電圧制御信号S11に対応する電圧Vを選定して半導体装置20へ供給する。半導体装置20は、供給された電圧Vに基づき、動作する。



本発明の実施例の電源電圧供給装置

【0007】次に、図1の電源電圧供給装置10の動作を説明する。遅延測定部11中のパルス発生回路11-1は、パルスP1を遅延回路21に送出すると共に、パルスP1の発生タイミングS1をタイマ11-2に知らせる。タイマ11-2では、パルスP1が送出されてから、応答信号であるパルスP2を入力までの時間を測定する。この測定により、半導体装置20における遅延時間が推定される。比較回路11-3は、第1、第2の設定値とタイマ11-2の計測結果S2とを比較する。つまり、比較回路11-3は、計測結果S2が上限の閾値である第1の設定値よりも大きいのか、下限の閾値である第2の設定値よりも小さいか、或いは、第1、第2の閾値の間の範囲内であるのかを求める。制御信号発生回路11-4は、比較回路11-3の比較結果S3に対応した制御信号S4を、制御信号発生回路11-4に与える構成となっている。制御信号発生回路11-4は比較結果S3に基づき、電圧制御信号S11を生成して電源電圧制御部12に与える。電源電圧制御部12は電圧制御信号S11を判定し、その判定結果に応じた電圧Vを半導体装置20へ供給する。例えば、半導体装置20での遅延の推定値が第1の設定値よりも大きいことを判定結果が示す場合、半導体装置に供給する電源電圧Vを高くする。これにより、半導体装置20での消費電力は大きくなるが、該半導体装置20での遅延時間が小さくなる。電圧制御信号S11に対する判定結果が、半導体装置20における遅延の推定値が第2の設定値よりも小さいことを示す場合には、電源電圧Vを低くする。これによって、半導体装置20での遅延は増加するが、消費電力は低減される。電圧制御信号S11に対する判定結果が、半導体装置20での遅延の推定値が第1、第2の設定値の間にあることを示す場合、半導体装置20に供給する電源電圧は現状のまま維持される。これによって、半導体装置20における遅延時間及び消費電力は変化しない。

【0008】以上のように、本実施例では、半導体装置20における遅延時間を測定する遅延時間測定部11と、その遅延時間に基いた電圧Vを電源電圧として半導体装置20に与える電源電圧制御部12とを備えているので、次のような利点を有している。

(i) 製造プロセスによってばらついた半導体装置20における個々の動作速度に応じて、供給電源電圧を決定できる。そのため、所望の動作速度を保証するための消費電力を最適化することができる。

(ii) 遅延時間測定部11は予め設定された第1、第2の設定値を用いて電源電圧制御部12に対する電圧制御信号S11を生成し、電源電圧制御部12が電圧制御信号S11に基いて電圧Vを変更するので、遅延時間測定部11を簡単な構成にできる。

(iii) 半導体装置20の遅延のばらつきをなくすることができるので、例えば、論理を求める場合の、出力のば

らつきがなくなる。

(iv) 製造ばらつき以外の要素、例えば、使用環境等で半導体装置20における遅延が変化する場合にも、電源電圧の制御で遅延時間のばらつきを制御することができる。

【0009】なお、本発明は、上記実施例に限定されず種々の変形が可能である。その変形例としては、例えば次のようなものがある。

(1) 電源電圧制御部12は、個別の半導体装置20の電源電圧を設定する構成としているが、複数の半導体装置による遅延時間をまとめて推定し、それら複数の半導体装置に与える電源電圧をまとめて制御する構成としてもよい。

(2) 半導体装置20に遅延回路21を設け、遅延回路21にパルスを入出力することで、半導体装置20における遅延を推定する構成としているが、遅延回路21を設けずに、半導体装置20内の機能回路を利用して遅延を推定してもよい。

(3) 第1、第2の設定値を用いて、半導体装置20に供給する電圧Vを段階的に変化させているが、アナログ的に変化させる構成とすることも可能である。

(4) 遅延時間測定部11と電源電圧制御部12は、半導体装置20に組み込まれた構成としてもよい。

(5) 上記実施例では予め定めた2つの設定値を用いて、半導体装置20の遅延時間に対する電源電圧を決めているが、2つに限定されず1つの設定値を使用する事も、増やすことも可能である。設定値を増やした場合、供給電源電圧の電圧値を増加でき、消費電力の最適化が容易となる。

(6) 例えば、電源電圧Vを用いて遅延時間を制御する機能を備えた半導体装置20では、逆に、遅延時間の推定値が大きくなった場合に、供給電源電圧Vを小さくするような構成としてもよい。

【0010】

【発明の効果】以上詳細に説明したように、第1の発明によれば、半導体装置における遅延時間を測定する遅延時間測定部と、その遅延時間に基いた電圧を電源電圧として該半導体装置に与える電源電圧制御部とを備えているので、製造プロセスによってばらついた半導体装置の動作速度に応じて、供給電源電圧を決定できる。そのため、所望の動作速度を保証するための消費電力を最適化することができる。第2の発明によれば、第1の発明における電源電圧制御部は、前記遅延時間の測定結果が第1の設定値よりも大きくなった場合に半導体装置の電源電圧を大きくし、その遅延時間の測定結果が第2の設定値よりも小さくなった場合に小さくする構成としているので、第1の発明の効果を奏する電源電圧供給装置を簡単な構成で実現できる。

【図面の簡単な説明】

【図1】本発明の実施例を示す電源電圧供給装置の構成

ブロック図である。

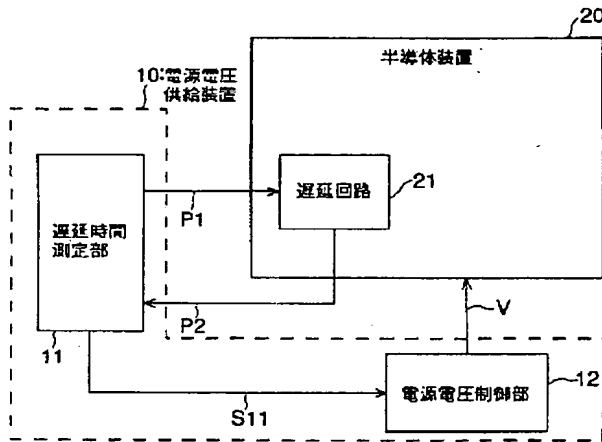
【図2】図1中の遅延時間測定部を示す構成ブロック図である。

【図3】図1中の遅延回路を示す回路図である。

【符号の説明】

0 電源電圧供給装置
11 遅延時間測定部
12 電源電圧制御部
20 半導体装置

【図1】



本発明の実施例の電源電圧供給装置

【図2】

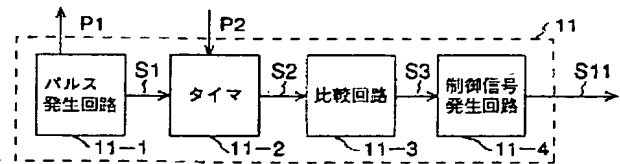


図1中の遅延時間測定部

【図3】

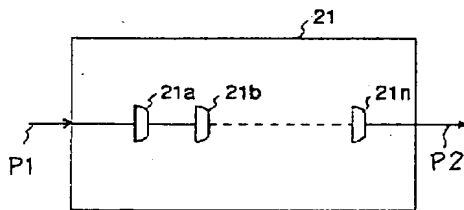


図1中の遅延回路

フロントページの続き

(51)Int. Cl. 6

識別記号

庁内整理番号

F 1

技術表示箇所

H 0 1 L 21/822